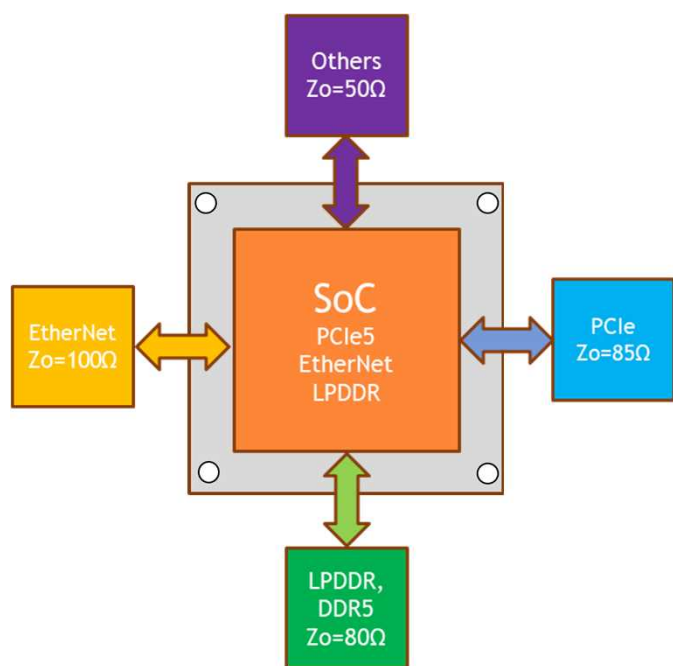


新提案

マルチインピーダンスソリューション

高周波SoCデバイスやハイエンドFPGAには、複数の高速インターフェースが搭載されています。

これらデバイスのパフォーマンスを最大限に活かし、検証・評価するには、ソケットの伝送路も各インターフェースに適した、インピーダンス整合が取られている必要があります。



従来の高周波用ソケットソリューション

* 同軸構造を用いたソケット

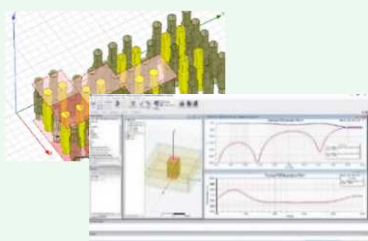
- ・構造が複雑
- ・組立性が悪い（出来ない可能性もあり）
- ・コストが非常に高い

* 導電性シートを用いたソケット

- ・端子数が多いと接触性に難あり
- ・耐久性は、プローブに劣る



単一のインピーダンス整合しか取れない



シミュレーション

+



プローブ設計 & 製作

+



微細部品加工 & 実測



上記技術を駆使し、1種類のプローブで、同軸構造を用いずにマルチインピーダンスを実現するソケットを提供します。

We Solve Your Interconnect Challenges.



<https://www.ser.co.jp>

Tel:03-5796-0330

Email:ser@ser.co.jp

新提案

マルチインピーダンスソケット

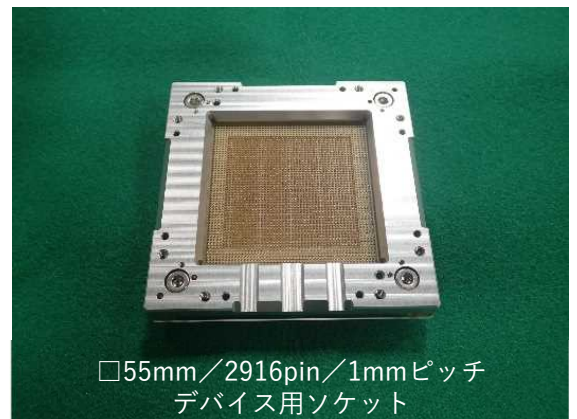
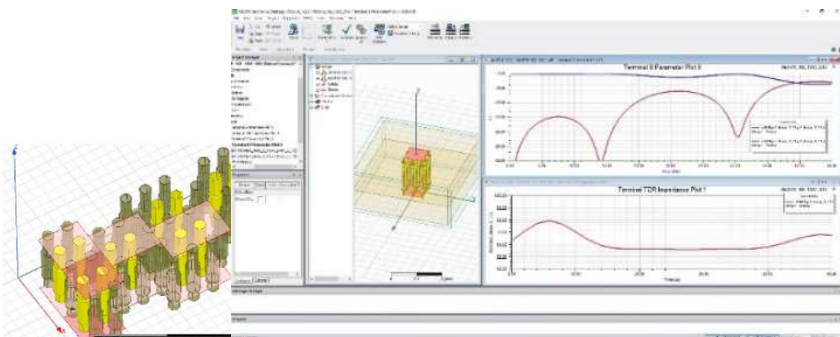
* 56/112Gbps PAM4, PCIe gen5/6等、複数の高速インターフェース
* 2,000pin以上の端子数
を持つ、ハイエンドFPGAやSoCデバイスの検証・評価に

特長

- * プロブを用いた、ソルダーレスソケット
- * ANSYSを活用し、
 - ・ プロブ（設計から製作）
 - ・ マルチインピーダンスマッチング
 $Z_0=50\Omega$ 、 $Z_{diff}=85/90/100\Omega$の最適化を図った、ソケット構造
- * 放熱機構（ヒートシンク・ファン）の取付も可

このような方へ

- * 今まで、導電性シートを用いていたが、
 - ・ 多ピンだと接触性・耐久性に不安を感じている方
 - ・ 広い温度範囲で検証・評価したい方
- * ソケットを用いて、
高価なハイエンドFPGA・SoCデバイスを検証・評価したい方



We Solve Your Interconnect Challenges.



<https://www.ser.co.jp>

Tel:03-5796-0330
Email:ser@ser.co.jp